

## JAPANESE

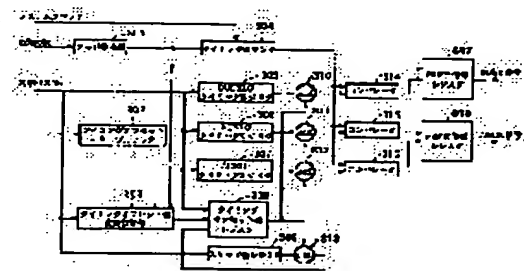
PATENT ABSTRACTS OF JAPAN

**(43)Date of publication of application : 16.12.1997**

G06F 13/12

(72)Inventor : OKUTSU TOSHIHISA

**SOLUTION:** Upon the receipt of a strobe signal, an edge detector 304 detects its edge, a timing counter 304 starts counting and a BUSY signal becomes HI. The BUSY signal is set to LO at timing registers 305-307 in the fastest timing and latch a value to return an nACK pulse. When a timing offset enable flag 302 is set to 0, since a timing offset register 308 provides an output of 0, comparators 314-316 compare values of the registers 305-307 with a value of a counter 304, the BUSY signal is set to LO and the nACK is set to LO when they are coincident and then they are set to HI. When the flag 302 is set to 1, the comparators compare the sum of the contents of the registers 305-307 and a content of the register 308 with the count of the counter 304. Thus, the timing is delayed by the value of the flag.

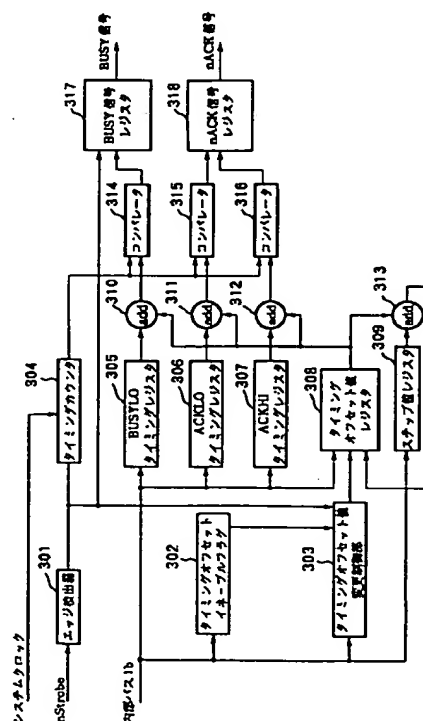


Copyright (C); 1998,2000 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成9年(1997)12月16日

審査請求 未請求 請求項の数21 O L (全 14 頁)



## 【特許請求の範囲】

【請求項 1】 非同期確認方式によりデータを受信して格納部に格納する装置におけるデータ受信制御方法であって、

受信の可または不可の状態を示す信号の出力タイミングの初期値及び該初期値による出力タイミングを遅延させる遅延量を設定する初期化工程と、

前記格納部の空き容量を検査し、空き容量が所定値以下である場合、前記信号の出力タイミングの遅延を開始させる遅延開始工程とを備え、

前記遅延開始工程により遅延が開始されると、前記出力タイミングを、前記初期値に対して前記遅延量分遅らせることを特徴とするデータ受信制御方法。

【請求項 2】 前記遅延開始工程は、データを受信することにより前記格納部の空き容量を検査することを特徴とする請求項 1 に記載のデータ受信制御方法。

【請求項 3】 前記初期化工程は、前記出力タイミングを遅らせるオフセット値と、前記遅延開始工程により遅延が開始されている場合に、データを受信することにより前記オフセット値に対して加算されるステップ値とを前記遅延量として設定することを特徴とする請求項 2 に記載のデータ受信制御方法。

【請求項 4】 前記初期化工程の前に、前記前記初期値及び遅延量を受信する受信工程を更に備え、前記初期化工程は、前記受信工程により受信した値で前記出力タイミングを初期化することを特徴とする請求項 1 に記載のデータ受信制御方法。

【請求項 5】 前記初期化工程は、前記受信の可または不可の状態を示す信号の出力タイミングとして、受信を開始してから受信不可となる期間と、応答信号パルスの立上り及び立下りタイミングを設定することを特徴とする請求項 1 乃至 4 のいずれかに記載のデータ受信制御方法。

【請求項 6】 非同期確認方式によるデータの受信を制御するデータ受信制御装置であって、  
受信したデータを格納する格納手段と、  
データ受信の可または不可を示す信号の出力タイミングを記憶する第 1 の記憶手段と、  
前記信号の出力タイミングを遅延させる遅延量を記憶する第 2 の記憶手段と、  
前記第 1 の記憶手段に記憶された基準タイミングか、あるいは、前記基準タイミングを前記遅延量の分遅延させた遅延タイミングのいずれかで前記信号を出力するよう制御する出力制御手段とを備えることを特徴とするデータ受信制御装置。

【請求項 7】 前出力制御手段は、前記格納手段によりデータを格納できる空き容量を検査し、該空き容量が所定値以下である場合に、前記遅延タイミングで前記信号を出力し、そうでない場合に前記基準タイミングで前記信号を出力することを特徴とする請求項 6 に記載のデ-

ータ受信制御装置。

【請求項 8】 前記第 2 の記憶手段は、前記基準タイミングを遅らせるオフセット値と、1 回のデータ受信ごとに前記遅延量に加算されるステップ値とを遅延量として記憶し、前記出力制御手段は、遅延タイミングで前記信号を出力する場合、データを受信することにより前記オフセット値に前記ステップ値を加算することを特徴とする請求項 6 または 7 のいずれかに記載のデータ受信制御装置。

【請求項 9】 前記第 1 及び第 2 の記憶手段により記憶する値を受信する受信手段を更に備えることを特徴とする請求項 6 に記載のデータ受信制御装置。

【請求項 10】 前記第 1 の記憶手段は、前記信号として、受信を開始してから受信不可となる期間を示す信号と、データの受信に対する応答信号の出力タイミングを記憶することを特徴とする請求項 6 乃至 9 のいずれかに記載のデータ受信制御装置。

【請求項 11】 ホスト装置からのデータ送信を示すストロブ信号に同期してデータを受信し、受信中であることを示すビジー信号と、受信データに対する応答信号とを送信する非同期確認方式によるデータの受信を制御するデータ受信制御装置であって、

ストロブ信号の受信を契機としてデータを受信するデータ受信手段と、

第 1 のタイミングを記憶する第 1 の記憶手段と、

第 2 のタイミングを記憶する第 2 の記憶手段と、

第 3 のタイミングを記憶する第 3 の記憶手段と、

遅延量を記憶し、該遅延量あるいは 0 を出力する遅延量出力手段と、

ステップ値を記憶するステップ値記憶手段と、

フラグを記憶するフラグ記憶手段と、

前記フラグがセットされていない場合には前記遅延量出力手段から 0 を出力させ、前記フラグがセットされている場合には、前記遅延量出力手段から記憶された遅延量を出力させるとともに、前記ストロブ信号の受信を契機として前記遅延量出力手段に記憶された遅延量に前記ステップ値を加算するよう制御する制御手段と、

ストロブ信号の受信を契機としてビジー信号をオンし、その後、前記遅延量出力手段から出力された値と前記第 1 のタイミングとの和の時間経過した時点でビジー信号をオフするビジー信号出力手段と、

ストロブ信号の受信後、前記遅延量出力手段から出力された値と前記第 2 のタイミングとの和の時間経過した時点で応答信号をオンし、その後、前記遅延量出力手段から出力された値と前記第 3 のタイミングとの和の時間経過した時点で応答信号をオフする応答信号出力手段とを備えることを特徴とするデータ受信制御装置。

【請求項 12】 前記データ受信手段により受信したデータを格納する格納手段と、該格納手段の空き容量を判定して所定値より小さければ前記フラグ記憶手段にフラ

グをセットする第2の制御手段とを更に備えることを特徴とする請求項11に記載のデータ受信制御装置。

【請求項13】 前記第2の制御手段は、前記格納手段の空き容量を判定して第2の所定値より大きい場合に、前記フラグ記憶手段のフラグをリセットすることとを特徴とする請求項12に記載のデータ受信制御装置。

【請求項14】 ホスト装置と非同期確認方式により接続され、ホスト装置から受信したデータを印刷する印刷装置であって、

受信したデータを格納する格納手段と、

ホスト装置に対してデータ受信の可または不可を示す信号の出力タイミングを記憶する第1の記憶手段と、

前記信号の出力タイミングを遅延させる遅延量を記憶する第2の記憶手段と、

前記第1の記憶手段に記憶された基準タイミングか、あるいは、前記基準タイミングを前記遅延量の分遅延させた遅延タイミングのいずれかで前記信号をホスト装置に対して出力するよう制御する出力制御手段と、前記格納手段に格納されたデータを印刷出力する印刷手段とを備えることを特徴とする印刷装置。

【請求項15】 前出力制御手段は、前記格納手段によりデータを格納できる空き容量を検査し、該空き容量が所定値以下である場合に、前記遅延タイミングで前記信号を出力し、そうでない場合に前記基準タイミングで前記信号を出力することを特徴とする請求項14に記載の印刷装置。

【請求項16】 前記第2の記憶手段は、前記基準タイミングを遅らせるオフセット値と、1回のデータ受信ごとに前記遅延量に加算されるステップ値とを遅延量として記憶し、前記出力制御手段は、遅延タイミングで前記信号を出力する場合、データを受信するごとに前記オフセット値に前記ステップ値を加算することを特徴とする請求項14または15に記載の印刷装置。

【請求項17】 前記第1及び第2の記憶手段により記憶する値を前記ホスト装置から受信することを特徴とする請求項14に記載の印刷装置。

【請求項18】 前記第1の記憶手段は、前記信号として、受信を開始してから受信不可となる期間を示す信号と、データの受信に対する応答信号の出力タイミングを記憶することを特徴とする請求項14乃至17のいずれかに記載の印刷装置。

【請求項19】 ホスト装置からのデータ送信を示すストローブ信号に同期してデータを受信し、ホスト装置に対して受信中であることを示すビジー信号と、受信データに対する応答信号とを送信する非同期確認方式により受信したデータを印刷する印刷装置であって、前記ホスト装置からのストローブ信号の受信を契機としてデータを受信するデータ受信手段と、第1のタイミングを記憶する第1の記憶手段と、第2のタイミングを記憶する第2の記憶手段と、

第3のタイミングを記憶する第3の記憶手段と、

遅延量を記憶し、該遅延量あるいは0を出力する遅延量出力手段と、

ステップ値を記憶するステップ値記憶手段と、

フラグを記憶するフラグ記憶手段と、

前記フラグがセットされていない場合には前記遅延量出力手段から0を出力させ、前記フラグがセットされている場合には、前記遅延量出力手段から記憶された遅延量を出力させるとともに、前記ストローブ信号の受信を契機として前記遅延量出力手段に記憶された遅延量に前記ステップ値を加算するよう制御する制御手段と、

ストローブ信号の受信を契機としてビジー信号をオンし、その後、前記遅延量出力手段から出力された値と前記第1のタイミングとの和の時間経過した時点でビジー信号をオフするビジー信号出力手段と、

ストローブ信号の受信後、前記遅延量出力手段から出力された値と前記第2のタイミングとの和の時間経過した時点で応答信号をオンし、その後、前記遅延量出力手段から出力された値と前記第3のタイミングとの和の時間経過した時点で応答信号をオフする応答信号出力手段と、

前記データ受信手段により受信したデータを格納する格納手段とを備えることを特徴とする印刷装置。

【請求項20】 前記格納手段の空き容量を判定して所定値より小さければ前記フラグ記憶手段にフラグをセットする第2の制御手段を更に備えることを特徴とする請求項19に記載の印刷装置。

【請求項21】 前記第2の制御手段は、前記格納手段の空き容量を判定して第2の所定値より大きい場合に、前記フラグ記憶手段のフラグをリセットすることとを特徴とする請求項20に記載の印刷装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリンタ（像形成装置）などにおけるデータ受信制御方法及び装置に関し、特にセントロニクスインターフェースを用いたデータ受信を円滑に行なうデータ受信制御方法及び装置及びそれを用いた印刷装置に関する。

【0002】

【従来の技術】従来、ホストコンピュータと、セントロニクスインターフェースなどの非同期確認方式、いわゆるハンドシェイク方式で接続され、ホストコンピュータからプリントデータを受信するプリンタがあった。非同期確認方式では、接続された装置が互いに送信あるいは受信が可能な状態にあるか伝えあいながらデータの伝送を行う。この方式としてセントロニクスインターフェースがある。従来はプリンタ内部でのプリントデータ処理能力がセントロニクスインターフェースの転送速度より優れるため、データ転送の遅さが問題となっていた。

【0003】しかし、ホストコンピュータ、プリンタ共

にインターフェースハンドシェイク部のハードウェア化や、内部データ転送にダイレクトメモリアクセス（以下DMAと略す）やFIFOメモリなどを用いるなどの性能向上により従来に比べ高速にデータ受信を行なうことが可能になった。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来例において次のような問題が生じるようになった。

【0005】今日、プリンタがホストコンピュータから受信するプリントデータは従来のテキストデータ主体からグラフィックデータ主体、つまりビットマップイメージ等、大容量になる傾向にある。データ受信速度は高速になったが、データ受信量も増大したため、印刷時にはプリンタの受信バッファが満杯の状態にある時間が長くなった。その場合、受信バッファに空き領域ができるまでホストコンピュータからのデータ受信を停止しなければならない。

【0006】複雑なプリントデータはプリンタにおけるコマンド解析時間が長くなり、それゆえ受信バッファに空き領域ができず、データ受信を停止する時間も長くなる。ホストコンピュータの中には一定時間データ転送が停止されるとプリンタは正常動作しているにもかかわらず、ハングアップしたとみなしタイムアウトするものがある。そこで、受信バッファの残量に応じて決め細かな受信制御を行なう必要が生じた。

【0007】しかし、受信処理に関わる信号線処理はDMAやFIFOメモリと組み合わせられたハードウェアがソフトウェアと並行して行なうため、ハードウェアの信号処理タイミングの設定値を変更する場合、ハードウェアの受信処理を停止させてからソフトウェアが介入する必要があった。よって、信号制御に関わる設定値を変更する場合、その都度ソフトウェアの制御でハードウェアの停止が必要となり繁雑であり、低効率であった。

【0008】本発明は、上記従来例に鑑みてなされたもので、データ転送を行ないつつ受信バッファの空き容量に応じてデータ転送速度を調整し、データの受信の中断を防止するデータ受信制御方法及び装置及びそれを用いた印刷装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明は以下の構成を備える。すなわち、非同期確認方式によりデータを受信して格納部に格納する装置におけるデータ受信制御方法であって、受信の可または不可の状態を示す信号の出力タイミングの初期値及び該初期値による出力タイミングを遅延させる遅延量を設定する初期化工程と、前記格納部の空き容量を検査し、空き容量が所定値以下である場合、前記信号の出力タイミングの遅延を開始させる遅延開始工程とを備え、前記遅延開始工程により遅延が開始されると、前記出力タイミングを、前記初期値に対して前記遅延量分遅らせる。

【0010】また、非同期確認方式によるデータの受信を制御するデータ受信制御装置であって、受信したデータを格納する格納手段と、データ受信の可または不可を示す信号の出力タイミングを記憶する第1の記憶手段と、前記信号の出力タイミングを遅延させる遅延量を記憶する第2の記憶手段と、前記第1の記憶手段に記憶された基準タイミングか、あるいは、前記基準タイミングを前記遅延量の分遅延させた遅延タイミングのいずれかで前記信号を出力するよう制御する出力制御手段とを備える。

【0011】また、ホスト装置からのデータ送信を示すストロブ信号に同期してデータを受信し、受信中であることを示すビジー信号と、受信データに対する応答信号とを送信する非同期確認方式によるデータの受信を制御するデータ受信制御装置であって、ストロブ信号の受信を契機としてデータを受信するデータ受信手段と、第1のタイミングを記憶する第1の記憶手段と、第2のタイミングを記憶する第2の記憶手段と、第3のタイミングを記憶する第3の記憶手段と、遅延量を記憶し、該遅延量あるいは0を出力する遅延量出力手段と、ステップ値を記憶するステップ値記憶手段と、フラグを記憶するフラグ記憶手段と、前記フラグがセットされていない場合には前記遅延量出力手段から0を出力させ、前記フラグがセットされている場合には、前記遅延量出力手段から記憶された遅延量を出力させるとともに、前記ストロブ信号の受信を契機として前記遅延量出力手段に記憶された遅延量に前記ステップ値を加算するよう制御する制御手段と、ストロブ信号の受信を契機としてビジー信号をオンし、その後、前記遅延量出力手段から出力された値と前記第1のタイミングとの和の時間経過した時点でビジー信号をオフするビジー信号出力手段と、ストロブ信号の受信後、前記遅延量出力手段から出力された値と前記第2のタイミングとの和の時間経過した時点で応答信号をオンし、その後、前記遅延量出力手段から出力された値と前記第3のタイミングとの和の時間経過した時点で応答信号をオフする応答信号出力手段とを備える。

【0012】また、ホスト装置と非同期確認方式により接続され、ホスト装置から受信したデータを印刷する印刷装置であって、受信したデータを格納する格納手段と、ホスト装置に対してデータ受信の可または不可を示す信号の出力タイミングを記憶する第1の記憶手段と、前記信号の出力タイミングを遅延させる遅延量を記憶する第2の記憶手段と、前記第1の記憶手段に記憶された基準タイミングか、あるいは、前記基準タイミングを前記遅延量の分遅延させた遅延タイミングのいずれかで前記信号をホスト装置に対して出力するよう制御する出力制御手段と、前記格納手段に格納されたデータを印刷出力する印刷手段とを備える。

【0013】また、ホスト装置からのデータ送信を示す

ストロブ信号に同期してデータを受信し、ホスト装置に対して受信中であることを示すビジー信号と、受信データに対する応答信号とを送信する非同期確認方式により受信したデータを印刷する印刷装置であって、前記ホスト装置からのストロブ信号の受信を契機としてデータを受信するデータ受信手段と、第1のタイミングを記憶する第1の記憶手段と、第2のタイミングを記憶する第2の記憶手段と、第3のタイミングを記憶する第3の記憶手段と、遅延量を記憶し、該遅延量あるいは0を出力する遅延量出力手段と、ステップ値を記憶するステップ値記憶手段と、フラグを記憶するフラグ記憶手段と、前記フラグがセットされていない場合には前記遅延量出力手段から0を出力させ、前記フラグがセットされている場合には、前記遅延量出力手段から記憶された遅延量を出力させるとともに、前記ストロブ信号の受信を契機として前記遅延量出力手段に記憶された遅延量に前記ステップ値を加算するよう制御する制御手段と、ストロブ信号の受信を契機としてビジー信号をオンし、その後、前記遅延量出力手段から出力された値と前記第1のタイミングとの和の時間経過した時点でビジー信号をオフするビジー信号出力手段と、ストロブ信号の受信後、前記遅延量出力手段から出力された値と前記第2のタイミングとの和の時間経過した時点で応答信号をオンし、その後、前記遅延量出力手段から出力された値と前記第3のタイミングとの和の時間経過した時点で応答信号をオフする応答信号出力手段と、前記データ受信手段により受信したデータを格納する格納手段とを備える。

#### 【0014】

【発明の実施の形態】以下、本発明の実施の形態である像形成装置を図面を参照して詳細に説明する。

【0015】図1は本実施形態の像形成装置の構成例を示すブロック図である。同図において10はプリンタ本体であり、20のセントロニクスインターフェースケーブルによりホストコンピュータ（不図示）と接続される。プリンタ10は、メモリ（ROM、RAM）を含むマイクロプロセッサシステムで構成され、以下に説明する各ブロックは内部バス1bで接続される。すなわち、セントロニクスケーブル20を通じてホストコンピュータ（不図示）との間で信号を送信するセントロニクスインターフェースコントローラ11、セントロニクスインターフェースコントローラ11から受信バッファ13への受信データ転送処理を行なうDMA（ダイレクトメモリアクセス）コントローラ12、受信したデータを保持する為の受信バッファ13、メモリ部15、CPU部16から構成されるプリンタ10全体を制御する制御部14、プリンタの各種設定を行なう操作パネル17、ホストコンピュータから送られたプリントデータやプリントコマンドを解析するコマンド解析部18、画像データをビットマップに展開する展開メモリ19、記録紙等に永久可視像形成するプリンタエンジン1a、内部バス1

bとを備える。

【0016】このプリンタ10は、ホストコンピュータと図9のようにセントロニクスインターフェースによって接続される。このインターフェースは、ホストコンピュータからプリンタへの信号として、データ、nStrobeを含み、プリンタからホストコンピュータへの信号として、BUSY、nACKを含んでいる。

【0017】図2は図1のセントロニクスインターフェースコントローラ11の中の信号制御部を示す図である。

【0018】エッジ検出器301は、ホストコンピュータ20が出力するnStrobe信号の立ち下がり変化を検出すると検出信号を発生する。

【0019】タイミングオフセットイネーブルフラグ302は、信号制御タイミングをオフセットする処理機構を働かせるか否かを制御するフラグである。制御部14により設定される。

【0020】タイミングオフセット値変更制御部303は、エッジ検出器301より発生した検出信号によりタイミングオフセット値レジスタ308の値を変更する。また、タイミングオフセット値レジスタ308の出力制御も行なう。

【0021】タイミングカウンタ304は、エッジ検出器301の検出信号で起動し、制御部14より供給されるシステムクロックによりカウントアップする。停止状態ではリセットされ、その時点での時刻を0とする。

【0022】BUSYLOタイミングレジスタ305は、BUSY信号をLO（オフ）にするタイミング（BUSYLO）を保持する。ACKLOタイミングレジスタ306は、nACK信号をLO（オン）にするタイミング（ACKLO）を保持する。ACKHタイミングレジスタ307は、nACK信号をHI（オフ）にするタイミング（ACKH）を保持する。

【0023】タイミングオフセット値レジスタ308は、信号制御タイミングのオフセット値（TOFFSET）を保持する。レジスタの内容は、制御部14またはタイミングオフセット値変更制御部303により設定される。また、タイミングオフセット値レジスタ308は出力制御機能付の構成を採り、保持する値にかかわらずタイミングオフセット値変更制御部303によって、出力値を0とすることが可能である。

【0024】ステップ値レジスタ309は、タイミングオフセット値に加算する値（STEPNUM）を保持するレジスタである。本レジスタの値とタイミングオフセット値レジスタ308の値が加算器313で加算され、タイミングオフセット値変更制御部303により新たにタイミングオフセット値レジスタ308に保持される。

【0025】レジスタ305～309に設定する値は、タイミングカウンタ304が提供する時間情報に対応した値である。すなわち、例えばレジスタ305～309

にセットされた値“1”は、タイミングカウンタ304がカウントする時間“1”に相当する。

【0026】加算器310～313は、2入力の値を加算した値を出力するものである。

【0027】コンパレータ314～316は、2入力の値を比較し、一致した場合に一致信号を発生するものである。

【0028】BUSY信号レジスタ317は、BUSY信号出力値を保持するものである。正論理信号出力であり、リセット時はLO状態である。エッジ検出器301の検出信号でセット(HI)され、コンパレータ314の一致信号でリセット(LO)される。

【0029】nACK信号レジスタ318はnACK信号出力値を保持するものである。負論理信号出力であり、リセット時はHI状態である。コンパレータ315の一致信号(ACK-LO)でセット(LO)され、コンパレータ316の一致信号(ACK-HI)でリセット(HI)される。

【0030】図3は、一般的なホストコンピュータとプリンタ間のセントロニクスインターフェースを用いたデータ転送の様子を示す図である。同図は1バイトのデータ転送を示す。

【0031】DATA信号はホストコンピュータが出力し、プリンタに転送するデータ自身である。DATA信号は8ビットのバスで構成される。nStrobe信号はホストコンピュータが出力し、LO(0)でプリンタに対してデータを出力したことを意味する。プリンタはnStrobe信号の立ち下がりにてDATA信号上のデータを受信データとして取り込む。BUSY信号はプリンタが出力し、HI(1)で新たにデータを受け付けられないことを意味する。nACK信号はプリンタが出力し、LO(0)でデータを受信したことを意味する。

【0032】時刻t1でホストコンピュータはプリンタに転送するデータをDATA信号に出力する。

【0033】時刻t2でホストコンピュータはnStrobe信号出力をHI(1)からLO(0)にする。このタイミングでプリンタはDATA信号上のデータを取り込む。取り込んだデータはDMAコントローラ12により受信バッファ13へと転送される。また、この時刻t2でセントロニクスインターフェースコントローラ11のタイミングカウンタ304のカウントアップが開始され、BUSY、nACK信号の制御を行なう。

【0034】時刻t3で、プリンタはBUSY信号出力がLO(0)からHI(1)にする。

【0035】時刻t4でホストコンピュータはnStrobe信号出力をLO(0)からHI(1)にする。

【0036】時刻t5でプリンタはnACK信号出力をHI(1)からLO(0)にし、データを受信したことをホストコンピュータに通知する。

【0037】時刻t6でプリンタはBUSY信号出力を

HI(1)からLO(0)にする。時刻t7でプリンタはnACK信号出力をLO(0)からHI(1)にする。以上で8ビット(1バイト)のデータ転送を終了する。

【0038】上記各信号の制御はセントロニクスインターフェースコントローラ11が行なう。具体的にはタイミングカウンタ304の時刻情報に応じて、BUSYLOタイミングレジスタ305、ACKLOタイミングレジスタ306、ACKHIタイミングレジスタ307に設定したタイミングで信号制御が行なわれる。

【0039】なお、nACK信号をHI→LO→HIにすることをnACKパルスの出力と呼ぶ。セントロニクスインターフェースコントローラはBUSYをLO(0)にセット、nACKパルス出力することで、ホストコンピュータに受信可能状態を通知する。

【0040】上述の様に、セントロニクスインターフェースコントローラ11のタイミングレジスタ305、306、307を様々な値にセットすることが可能な構成とするため、1バイトデータの転送速度を多様に変化することが可能である。

【0041】更に、本実施の形態では、タイミングオフセットイネーブルフラグ302が1にセットされると、前述のタイミングレジスタの値にタイミングオフセット値レジスタ308の値が加算されたタイミングで信号制御が行なわれる。係る処理により、タイミングレジスタの設定値を変更することなく信号制御のタイミングを遅らせることが可能になる。

【0042】図4はセントロニクスインターフェースコントローラ11における1バイトのデータ受信の動作を示す図である。タイミングオフセット機能を働かせない場合の例を示す。セントロニクスインターフェースコントローラ11の内部は制御部14により、以下の状態にあらかじめ設定されているものとする。

【0043】タイミングオフセットイネーブルフラグ302=0(オフセット加算しない)

BUSYLOタイミングレジスタ305=6

ACKLOタイミングレジスタ306=5

ACKHIタイミングレジスタ307=8

タイミングオフセット値レジスタ308=0

ステップ値レジスタ309=0

タイミングオフセットイネーブルフラグ302が0にセットされているため、タイミングオフセット値変更制御部303はタイミングオフセット値レジスタ308の出力制御を行ない、値0を出力させる。但し、タイミングオフセット値レジスタ308が保持する値は変化させない。

【0044】加算器310～312に入力される加算値は0であるため、コンパレータ314～316には、タイミングレジスタ305～307の値がそのまま入力される。すなわち、信号制御タイミングはオフセットされ

ずにタイミングレジスタのタイミングにて制御される。

【0045】時刻  $t_{10}$  においてエッジ検出器 301 が  $nStrobe$  信号の立ち下がり検出信号を発生する（正論理）。すると、BUSY 信号レジスタ 317 は HI 状態を保持する。また、タイミングカウンタ 304 がカウントアップを開始する。

【0046】時刻  $t_{11}$  において、タイミングカウンタ 304 の出力が 5 になるとコンパレータ 315 が一致信号を発生する（正論理）。すると、 $nACK$  信号レジスタ 318 は LO 状態を保持する（タイミングカウンタ 304 値が ACKLO タイミングと一致）。

【0047】時刻  $t_{12}$  において、タイミングカウンタ 304 の出力が 6 になるとコンパレータ 314 が一致信号を発生する（正論理）。すると、BUSY 信号レジスタ 317 は LO 状態を保持する（タイミングカウンタ 304 値が BUSYLO タイミングと一致）。

【0048】時刻  $t_{13}$  において、タイミングカウンタ 304 の出力が 8 になるとコンパレータ 316 が一致信号を発生する（正論理）。すると、 $nACK$  信号レジスタ 318 は HI 状態を保持する（タイミングカウンタ 304 値が ACKHI タイミングと一致）。

【0049】図 5 は、セントロニクスインターフェースコントローラ 11 内部の信号の状態を示す図である。タイミングオフセット機能を働かせる場合の例を示す。

【0050】セントロニクスインターフェースコントローラ 11 の内部は制御部 14 により、以下の状態にあらかじめ設定されているものとする。

【0051】タイミングオフセットイネーブルフラグ 302 = 0（オフセット加算しない）

BUSYLO タイミングレジスタ 305 = 6

ACK タイミングレジスタ 306 = 5

ACK タイミングレジスタ 307 = 8

タイミングオフセット値レジスタ 308 = 0

ステップ値レジスタ 309 = 1

初期状態ではタイミングオフセットイネーブルフラグ 302 が 0 にセットされているため、タイミングオフセット機能は働かせていない。

【0052】時刻  $t_{20}$  で、制御部 14 がタイミングオフセットイネーブルフラグ 302 = 1（オフセット加算する）と設定変更する。

【0053】それ以降、BUSY、 $nACK$  信号の信号制御タイミングは、各タイミングレジスタの値とタイミングオフセット値レジスタ 308 の加算された値にて行なわれる。すなわち、タイミングオフセット値レジスタ 308 の値分信号制御のタイミングが遅くなる。

【0054】時刻  $t_{21}$  において、エッジ検出部 301 が  $nStrobe$  信号の立ち下がり検出信号を出力する。すると、BUSY 信号レジスタ 317 は HI 状態を保持する。また、タイミングカウンタ 304 がカウントアップを開始する。

【0055】また、タイミングオフセット機能が有効であるため、タイミングオフセット値変更制御部 303 は、タイミングオフセット値レジスタ 308 の値とステップ値レジスタ 309 の値とを加算器 313 により加算した値を、タイミングオフセット値レジスタに再設定する。本例では、タイミングオフセット値レジスタ 308 には 0、ステップ値レジスタ 309 には 1 が設定されていたので、1 がタイミングオフセット値レジスタ 308 が新たに保持する値となる。

【0056】すると、加算器 310 ~ 312 に入力される加算器は 1 であるため、コンパレータ 314 ~ 316 には、タイミングレジスタ 305 ~ 307 の出力値にタイミングオフセット値レジスタ 308 の値 = 1 が加算された値が入力される。よって、信号制御タイミングはタイミングレジスタ 305 ~ 307 の設定値より 1 クロックだけ遅れることになる。

【0057】時刻  $t_{22}$  において、タイミングカウンタ 304 の出力が 6 になるとコンパレータ 315 が一致信号を出力する。すると、 $nACK$  信号レジスタ 318 は LO 状態を保持する（タイミングカウンタ 304 値 = (ACKLO タイミング + 1)）。

【0058】時刻  $t_{23}$  において、タイミングカウンタ 304 の出力が 7 になるとコンパレータ 314 が一致信号を出力する。すると、BUSY 信号レジスタ 317 は LO 状態を保持する（タイミングカウンタ値 = (BUSYLO タイミング + 1)）。

【0059】時刻  $t_{24}$  において、タイミングカウンタ 304 の出力が 9 になるとコンパレータ 316 が一致信号を出力する。すると、 $nACK$  信号レジスタ 318 は HI 状態を保持する（タイミングカウンタ 304 値 = (ACKHI タイミング + 1)）。

【0060】このように、タイミングオフセット値レジスタ 308 及びステップ値レジスタ 309 に適当な値を設定しておけば、タイミングオフセットイネーブルフラグ 302 をセット/リセットするだけで、データ受信のタイミングを変えることができる。また、このタイミングの変更は  $nStrobe$  信号に同期して行われるため、1 回のデータ受信ごとにタイミングを変えることができ、受信を停止しなくともよい。図 6 は、1 バイト受信毎の、タイミングオフセットイネーブルフラグ 302 の設定と、タイミングオフセット値レジスタ 308 の値との関係を示した表である。図には BUSYLO タイミングの例を示すが、ACKLO、ACKHI のタイミングも同様である。

【0061】同図において、

ステップ値 (STEPNUM) : ステップ値レジスタ 309 の設定値

タイミングオフセット値 (TOFFSET) : タイミングオフセット値レジスタ 308 が保持する値

BUSYLO タイミングレジスタ 305 値 (BUSYL



O) : BUSYLO タイミングレジスタ305の設定値  
実BUSYLO タイミング (ADDBUSYLO) : 加  
算器310の出力値で、BUSY信号がLOに制御され  
るタイミングに相当

といった項目が図示されている。なお、セントロニクス  
インターフェースコントローラ11の内部には制御部1  
4により、以下の状態にあらかじめ設定されているもの  
とする。

【0062】 タイミングオフセットイネーブルフラグ3  
02=1 (オフセット加算しない)

BUSYLO タイミングレジスタ305=3

タイミングオフセット値レジスタ308=5

ステップ値レジスタ309=0

図6の表をnStrobeエッジの検出順に従い説明す  
る。

【0063】 nStrobeエッジ検出1~2回目では、  
タイミングオフセットイネーブルフラグ302が0の  
ためタイミングオフセット値レジスタ308は出力制  
御機能により値0を出力し、実BUSYLO タイミング  
はBUSYLO タイミングレジスタ305の設置値のま  
ま3である。

【0064】 nStrobeエッジ検出3~6回目では、  
タイミングオフセットイネーブルフラグ302が1の  
ためタイミングオフセット機能が有効になる。ここ  
で、ステップ値レジスタ309の値が0に設定されてい  
るため、タイミングオフセット値レジスタ308に加算  
される値は0。よってタイミングオフセット値レジスタ  
308が出力する値は5のままで変化しない。実BUSY  
LO タイミングすなわち、コンパレータ314に入力  
される比較値は、(BUSYLO タイミングレジスタ3  
05の値+タイミングオフセット値レジスタ308の  
値)であるから $3+5=8$ である。

【0065】 nStrobeエッジ検出7回目では、タイ  
ミングオフセットイネーブルフラグ302が0のため、  
実BUSYLO タイミングはBUSYLO タイミン  
グレジスタ305の設定値のまま3である。

【0066】 nStrobeエッジ検出8回目では、タイ  
ミングオフセットイネーブルフラグ302が0のため、  
実BUSYLO タイミングレジスタ305の設定値  
のまま3である。但し、制御部14がステップ値レジ  
スタ309の値を1、タイミングオフセット値レジスタ3  
08を0に設定変更している。

【0067】 nStrobeエッジ検出9回目では、タイ  
ミングオフセットイネーブルフラグ302が1のため  
タイミングオフセット機能が有効になる。また、ステ  
ップ値レジスタ309の値が1であるから、タイミン  
グオフセット値レジスタ308の値が1増加する。よって、  
タイミングオフセット値レジスタ308の値は1とな  
り、実BUSYLO タイミングは $3+1=4$ となる。

【0068】 同様にnStrobeエッジ検出10~1

6回目では、タイミングオフセットイネーブルフラグ3  
02が1のためタイミングオフセット機能が有効にな  
る。ステップ値レジスタ309が1であるから、タイ  
ミングオフセット値レジスタ308の値が1バイト受信毎  
に1ずつ増加する。よって実BUSYLO タイミングは  
5, 6, 7, 8, 9, 10, 11と1ずつ増加してい  
る。

【0069】 nStrobeエッジ検出17回目では、  
タイミングオフセットイネーブルフラグ302が0のため  
タイミングオフセット値レジスタ308は出力制御機  
能により値0を出力し、実BUSYLO タイミングはB  
USYLO タイミングレジスタ305の設定値のまま3  
である。

【0070】 nStrobeエッジ検出18回目では、  
タイミングオフセットイネーブルフラグ302が0のため  
オフセット加算はされず、実BUSYLO タイミング  
は3である。但し、ステップ値レジスタ309の値を  
3、タイミングオフセット値レジスタ308を0に設定  
変更する。

【0071】 nStrobeエッジ検出19回目では、  
タイミングオフセットイネーブルフラグ302が1のため  
タイミングオフセット機能が有効になる。ステップ値  
レジスタ309が3であるから、タイミングオフセッ  
ト値レジスタ308の値が3増加する。よって実BUSY  
LO タイミングは $3+3=6$ となる。

【0072】 同様にnStrobe検出20~22回目  
では、タイミングオフセットイネーブルフラグ302が  
1のためタイミングオフセット機能が有効になる。ステ  
ップ値レジスタ309が3であるから、タイミングオフ  
セット値レジスタ308の値が3増加する。よって実B  
USYLO タイミングは9, 12, 15と3ずつ増加す  
る。

【0073】 このように各レジスタ及びタイミングオフ  
セットイネーブルフラグを操作することで、信号のタイ  
ミングを変え、データ受信のタイミングを変えることが  
できる。

【0074】 図7は、タイミングオフセット値変更制御  
部303で行なう一連の処理を示すフローチャートであ  
る。すなわち、タイミングオフセットイネーブルフラグ  
302が1にセットされた場合、エッジ検出器301が  
nStrobe信号の立ち下がりエッジを検出する毎  
に、タイミングオフセット値変更制御部303が、タイ  
ミングオフセット値レジスタ308の値(TOFFSET)  
をステップ値レジスタ309の値(STEPNUM)  
だけ加算する処理を示す。なお、以下の各レジスタ  
の値はあらかじめ制御部14により設定されているもの  
とする。

【0075】

タイミングオフセットイネーブルフラグ302

BUSYLO タイミングレジスタ305 (BUSYL

O)

ACKLO タイミングレジスタ306 (ACKLO)  
ACKHI タイミングレジスタ307 (ACKHI)  
タイミングオフセット値レジスタ308 (TOFFSET)

ステップ値レジスタ309 (STEPNUM)

まず、ステップS1で、タイミングオフセットイネーブルフラグ302の内容を読み出し、ステップS2に進む。

【0076】ステップS2で、ステップS1で読み出したタイミングオフセットイネーブルフラグ302が1にセットされていなければステップS1の処理へ戻る。すなわち、タイミングオフセット値レジスタ308の値を加算する処理は行なわない。一方、ステップS2で、ステップS1で読み出したタイミングオフセットイネーブルフラグ302が1にセットされていればステップS3の処理へ進む。すなわち、タイミングオフセット値レジスタ308の値を加算する処理を行なう。

【0077】ステップS3で、エッジ検出器301がnStrobe信号の立ち下がりを検出したか状態を読み出し、ステップS4の処理へ進む。

【0078】ステップS4で、ステップS3で読み出したエッジ検出器301の状態が立ち下がりを検出していない場合、ステップS1の処理へ戻る。一方、ステップS4で、ステップS3で読み出したエッジ検出器301の状態が立ち下がりを検出している場合、ステップS5の処理へ進む。

【0079】ステップS5で、タイミングオフセット値レジスタ308の値 (TOFFSET) とステップ値レジスタ309の値 (STEPNUM) の値を加算し、新たなタイミングオフセット値レジスタ308の保持する値とし、ステップS1の処理へ戻る。

【0080】以上の一連の処理を繰り返す。上述した処理で、タイミングオフセット値変更制御部303は、タイミングオフセットイネーブルフラグ303が1にセットされた場合、エッジ検出器301がnStrobe信号の立ち下がりエッジを検出する毎に、タイミングオフセット値レジスタ308の値 (TOFFSET) をステップ値レジスタ309の値 (STEPNUM) だけ加算することが可能である。すなわち、プリンタのセントロニクスインターフェースコントローラの信号制御タイミングを1バイト転送毎に、任意の値で遅らせることが可能となる。

【0081】図10、図11はプリンタ10の制御部14による制御手順のフローチャートである。これら制御手順は、制御部14に内蔵されたメモリ15内のプログラムをCPU16により実行することで実現される。

【0082】図10は電源投入時など、各レジスタに初期値を設定する手順を示している。電源が投入されると、ステップS101で各タイミングレジスタ305～

307に所定の値をセットする。これら値は、受信バッファに十分空きがある状態で、最も速い受信タイミングを実現する値である。ステップS102では、タイミングオフセット値レジスタ308に所定の初期値を設定し、ステップ値レジスタ309に所定のステップ値を設定する。なお、タイミングオフセットイネーブルフラグ302がセットされた場合、タイミングオフセット値レジスタ308にはステップ値レジスタ309の値が加算されてしまうので、一連のデータ受信が終了した段階でタイミングオフセット値レジスタ308には初期値を設定しなおす必要がある。

【0083】ステップS103では、タイミングオフセットイネーブルフラグ302をリセットしておく。

【0084】図11は、制御部14により受信バッファ13の監視を行う手順のプログラムである。まず、ステップS111で受信バッファ13の空き領域のサイズを検出する。例えば受信バッファがリングバッファとして管理されていれば、空き領域は書き込みポインタと読み出しポインタとの比較から容易に得られる。

【0085】次にステップS112で、受信バッファの残量が第1の所定値以下であるか判定する。第1の所定値以下であれば、ステップS113でタイミングブセットイネーブルフラグ302をテストし、セットされていなければステップS114でセットする。こうすることで、受信バッファの残量が所定値以下の場合に、受信のタイミングを遅らせて空き領域を広げ、受信バッファが満杯になってしまうことを未然に防ぐ。

【0086】一方、受信バッファの残量が第1の所定値以上であれば、ステップS115でその残量が第2の所定値以上であるか判定する。第2の所定値以上であれば、ステップS116においてタイミングオフセットイネーブルフラグ302をテストし、セットされていればステップS117でタイミングオフセットイネーブルフラグをリセットする。

【0087】以上のように制御することで、受信バッファの空きが第1の所定値よりも少なくなってしまう場合には、受信タイミングをタイミングオフセット値レジスタ308及びステップ値レジスタ309で与えられる時間遅延させることで受信バッファに格納されたデータを処理する時間を稼ぎ、その結果受信バッファの空きが第2の所定値よりも多くなれば、受信タイミングの遅延をやめて元のタイミングに戻して高速に受信することができる。なお、図11において、第1の所定値と第2の所定値とを別々にせず、ひとつの値を用いてもよい。

【0088】図12は、プリンタエンジン1aの一例であるレーザビームプリンタの断面図である。

【0089】図において、740はLBP本体であり、供給される文字パターン等を基に、記録媒体である記録紙上に像を形成する。700は操作のためのスイッチ及びLED表示器などが配されている操作パネル、701

はLBP740全体の制御及び文字パターン情報等を解析するプリンタ制御ユニットである。このプリンタ制御ユニット701は主に文字パターン情報をビデオ信号に変換してレーザドライバ702に出力する。

【0090】レーザドライバ702は半導体レーザ703を駆動するための回路であり、入力されたビデオ信号に応じて半導体レーザ703から発射されるレーザ光704をオン・オフ切替える。レーザ光704は回転多面鏡705で左右方向に振られて静電ドラム706上を走査する。これにより、静電ドラム706上には文字パターンの静電潜像が形成される。この潜像は静電ドラム706周囲の現像ユニット707により現像された後、記録紙に転写される。この記録紙にはカットシートを用い、カットシート記録紙はLBP740に装着した用紙カセット708に収納され、給紙ローラ709及び搬送ローラ710と711とにより装置内に取込まれて、静電ドラム706に供給される。

【0091】尚、本実施例の画像形成装置として、レーザビームプリンタを例にして説明したが、これに限定されるものでなく、以下で説明するインクジェットプリンタ等にも適応可能である。

【0092】図13は、プリンタエンジン1aとして適用できるインクジェット記録装置IJRAの概観図である。同図において、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5011、5009を介して回転するリードスクリュー5005の螺旋溝5004に対して係合するキャリッジHCはピン（不図示）を有し、矢印a、b方向に往復移動される。このキャリッジHCには、インクジェットカートリッジIJCが搭載されている。5002は紙押え板であり、キャリッジの移動方向に互って紙をプラテン5000に対して押圧する。5007、5008はフォトカプラで、キャリッジのレバー5006のこの域での存在を確認して、モータ5013の回転方向切り換え等を行うためのホームポジション検知手段である。5016は記録ヘッドの前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引手段で、キャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらが支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることは言うまでもない。又、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切り換え等の公知の伝達手段で移動制御される。

【変形例】上述の実施例においては、タイミング値レジスタ305～307、タイミングオフセット値レジスタ308、ステップ値レジスタ309のパラメータ値はあ

らかじめプリンタに設定される構成であった。しかし、上記各レジスタのパラメータ値はホストコンピュータからのコマンド（プリントコマンド）により、変更可能な構成とする方法も考えられる。この場合、プリンタのセントロニクスインターフェースコントローラの設定を、ホストコンピュータ自身のセントロニクスインターフェース転送能力に合わせた信号制御タイミングに設定することができる。

【0093】図8は、タイミング値レジスタ305～307、タイミングオフセット値レジスタ308、ステップ値レジスタ309のパラメータセットをホストコンピュータから変更するためのタイミング設定コマンドのフォーマットを示す図である。

【0094】タイミング設定コマンドは、コマンド番号とパラメータで構成される。パラメータは、タイミング値レジスタ307～309に設定する値（BUSYLO、ACKLO、ACKHI）、タイミングオフセット値レジスタ308に設定する値（TOFFSET）、ステップ値レジスタ309に設定する値（STEPNUM）から構成される。

【0095】同コマンドをコマンド解析部18が解析すると、制御部14は当該コマンドのパラメータを各レジスタに設定する。その手順は、図10に示した通りである。

【0096】なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0097】

【発明の効果】以上説明したように、本発明に係るデータ受信制御方法及び装置及びそれを用いた印刷装置は、データ転送を行ないつつ受信バッファの空き容量に応じてデータ転送速度を調整し、データの受信の中断を防止するという効果を奏する。

【0098】

【図面の簡単な説明】

【図1】実施の形態における像形成装置の構成例を示すブロック図である。

【図2】図1のセントロニクスインターフェースコントローラ11の中の信号制御部を示す図である。

【図3】一般的なホストコンピュータとプリンタ間のセントロニクスインターフェースを用いたデータ転送の様子を示す図である。

【図4】タイミングオフセット機能を働かせない場合のセントロニクスインターフェースコントローラ11における1バイトのデータ受信時の動作を示す図である。

【図5】タイミングオフセット機能を働かせる場合のセントロニクスインターフェースコントローラ11ブロック内部の信号の状態を示す図である。

【図6】1バイト受信毎の、タイミングオフセットイネーブルフラグ302の設定と、タイミングオフセットレジスタ308の値との関係を示した表である。

【図7】実施の形態におけるタイミングオフセット値変更制御部による制御手順を示すフローチャートである。

【図8】セントロタイミング設定コマンドのフォーマットを示す図である。

【図9】ホストコンピュータとプリンタとで構成されるシステムの図である。

【図10】セントロニクスインターフェースコントローラの各レジスタを初期化する手順を示すフローチャートである。

【図11】受信バッファの空き容量に応じて受信タイミングを制御する手順を示すフローチャートである。

【図12】プリンタエンジンの一例であるレーザビームプリンタの断面図である。

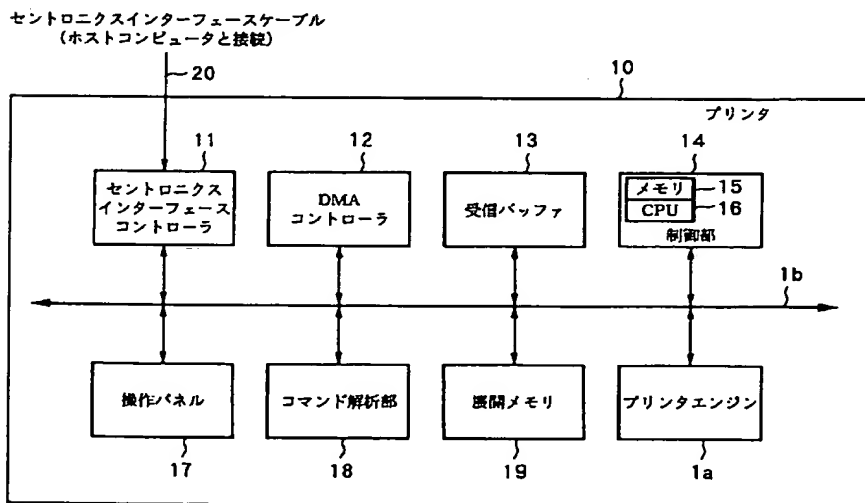
【図13】プリンタエンジンの一例であるインクジェットプリンタの斜視図である。

【符号の説明】

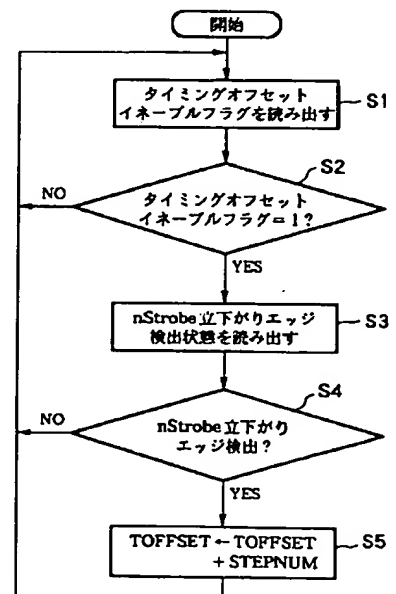
- 10 プリンタ  
11 セントロニクスインターフェースコントローラ  
12 DMA (ダイレクトメモリアクセス) コントローラ

- 13 受信バッファ  
14 制御部  
15 メモリ部  
16 CPU部  
17 操作パネル  
18 コマンド解析部  
19 展開メモリ  
1a プリンタエンジン  
1b 内部バス  
20 セントロニクスインターフェースケーブル  
301 エッジ検出器  
302 タイミングオフセットイネーブルフラグ  
303 タイミングオフセット値変更制御部  
304 タイミングカウンタ  
305 BUSYLOタイミングレジスタ  
306 ACKタイミングレジスタ  
307 ACKタイミングレジスタ  
308 タイミングオフセット値レジスタ  
309 ステップ値レジスタ  
310~313 加算器  
314~316 コンパレータ  
317 BUSY信号レジスタ  
318 nACKレジスタ

【図1】



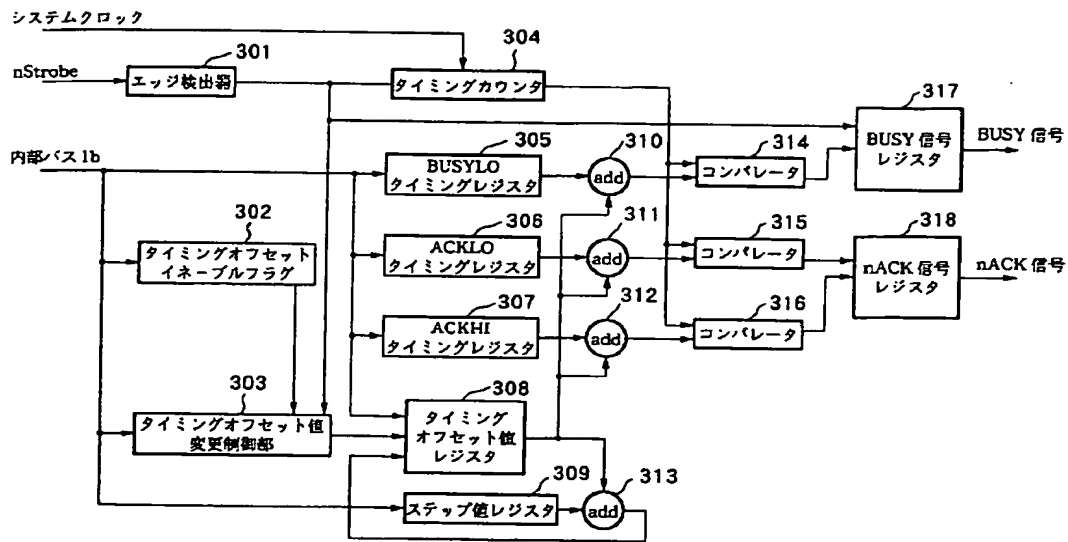
【図7】



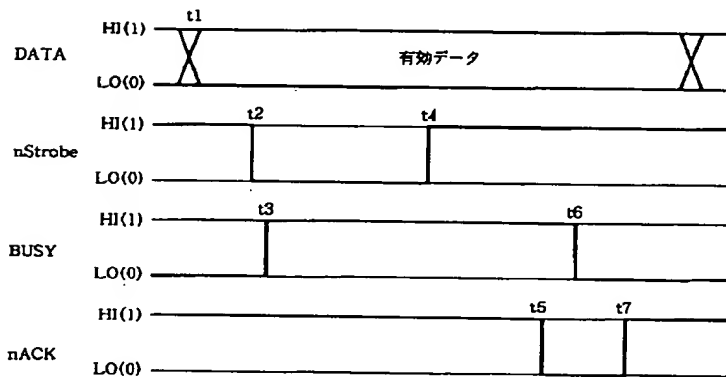
【図8】

コマンド番号	パラメータ				
	BUSYLO	ACKLO	ACKHI	TOFFSET	STEPNUM

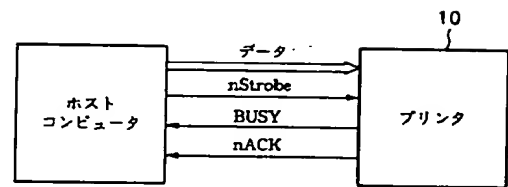
【図 2】



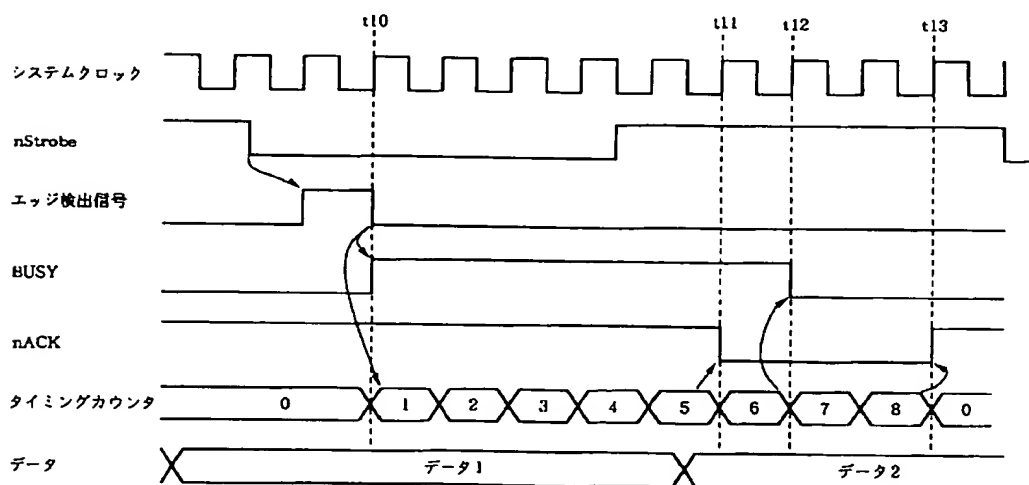
【図 3】



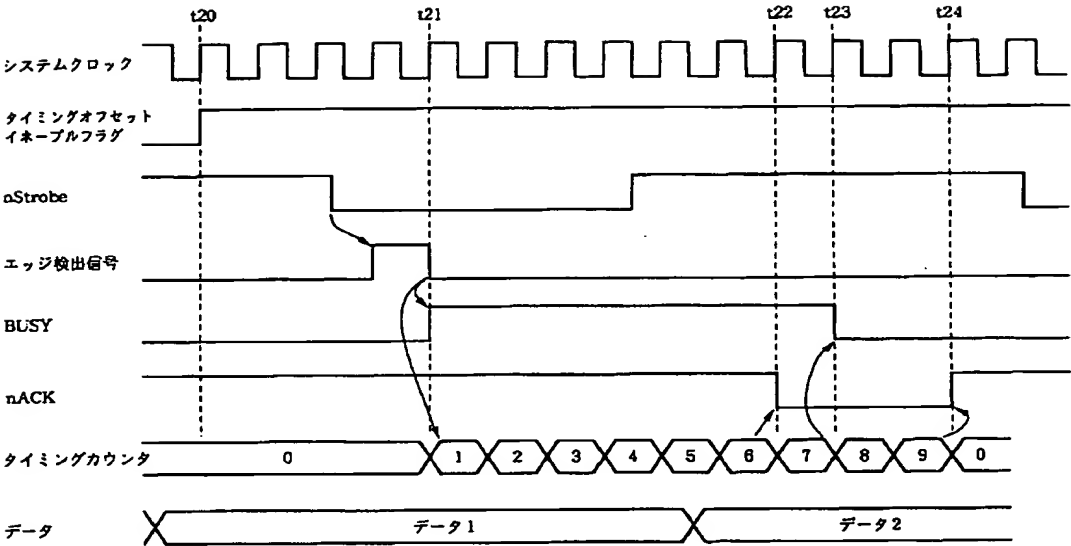
【図 9】



【図 4】



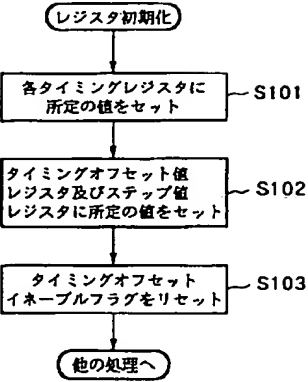
【図 5】



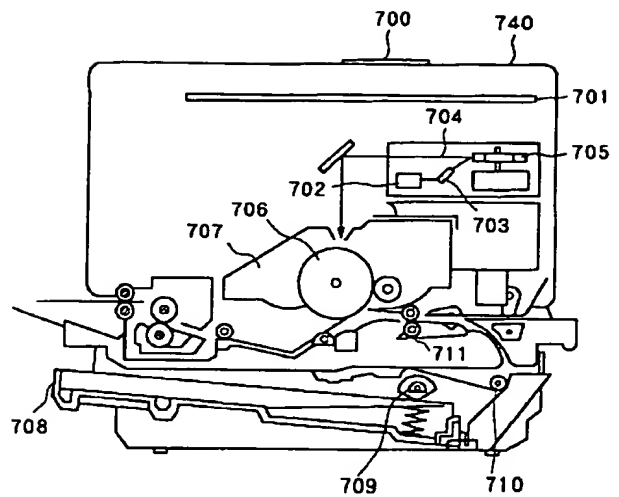
【図 6】

nStrobe エッジ検出(回目)	オフセットイネーブルフラグ	ステップ値	タイミングオフセット	BUSYLO タイミングレジスタ値	実BUSYLO タイミング
	TCHENB	STEPNUM	TOFFSET	BUSYLO	ADDBUSYLO
1	0	0	5	3	3
2	0	0	5	3	3
3	1	0	6	3	8
4	1	0	6	3	8
5	1	0	5	3	8
6	1	0	5	3	8
7	0	0	5	3	3
8	0	1	0	3	3
9	1	1	1	3	4
10	1	1	2	3	5
11	1	1	3	3	6
12	1	1	4	3	7
13	1	1	5	3	8
14	1	1	6	3	9
15	1	1	7	3	10
16	1	1	8	3	11
17	0	1	8	3	3
18	0	3	0	3	3
19	1	3	3	3	6
20	1	3	6	3	9
21	1	3	9	3	12
22	1	3	12	3	15

【図 10】



【圖 12】



【図 13】

